
1/1 JAPIO - (C) JPO

PN - JP 10197601 A 19980731 [JP10197601]

TI - METHOD AND SYSTEM FOR ANALYZING INSPECTION POINT OF LOGICAL CIRCUIT
AND SEMICONDUCTOR INTEGRATED CIRCUIT WITH INSPECTION POINT

IN - NAKAO NORINOBU; HATAKEYAMA KAZUMI

PA - HITACHI LTD

AP - JP00036397 19970106 [1997JP-0000363]

IC1 - G01R-031/28

IC2 - G06F-011/22

AB - PROBLEM TO BE SOLVED: To realize high speed inspection point analysis
in practical stage and to reduce overhead of the inspection point
circuit area of a semiconductor integrated circuit.

- SOLUTION: An inspection point index calculating section 111 calculates
inspection point index information 123 including CRF (approximate cost
of test) of each signal line from circuit information 122, determines
a predetermined number of candidates of inspection point on the order
of CRF and then calculates a COP (cost of test) while assuming
insertion of each candidate of inspection point. An inspection point
determining section 112 determines a candidate having lowest COP as an
inspection point, searches other candidates of inspection point which
do not intersect the influence range of the inspection point on the
ascending order and adds a searched candidate, if any, to new
inspection points. Subsequently, a candidate which does not intersect
the influence range of the additional inspection point is searched
based on the additional inspection point. When the number of
inspection points is lower than a set value, inspection point index
information 123 of logical circuit including a preset inspection point
is calculated again and the process is repeated. A inspection point
correlation information 126 where a set of inspection points having
nonintersecting range is grouped is imparted. An inspection point
influence calculating section 113 calculates a range having effect on
the CRF in the circuit based on a just set inspection point.

- COPYRIGHT: (C)1998, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-197601

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

V

G 0 6 F 11/22

3 3 0

G 0 6 F 11/22

3 3 0 B

G 0 1 R 31/28

G

F

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号

特願平9-363

(22) 出願日

平成 9 年(1997) 1 月 6 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 中尾 教伸

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72) 発明者 畠山 一実

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 高橋 明夫 (外 1 名)

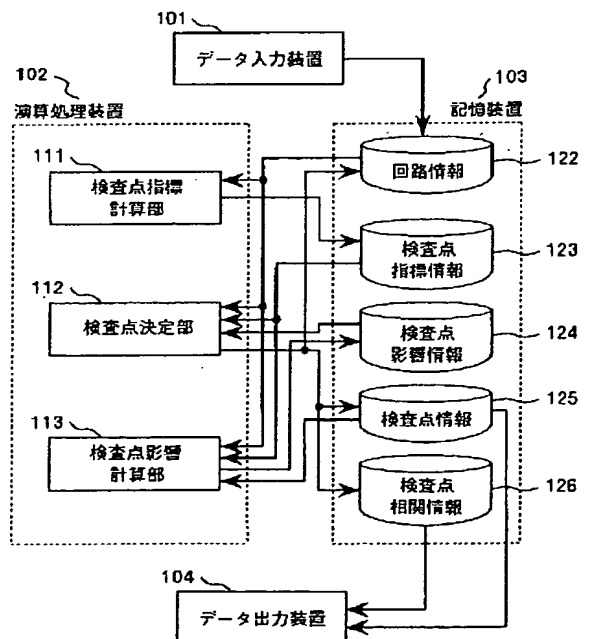
(54) 【発明の名称】 論理回路検査点の解析方法、解析装置及び検査点を有する半導体集積回路

(57) 【要約】

【課題】 検査点解析処理を実用段階に高速化する。また、半導体集積回路の検査点回路面積のオーバーヘッドを低減する。

【解決手段】 検査点指標計算部 111 は、回路情報 122 から各信号線の CRF を含む検査点指標情報 123 を計算し、CRF の順に所定数の検査点候補を決定し、検査点候補の各々の挿入を仮定した COP (テストコスト) を計算する。検査点決定部 112 は、COP の最小の候補を検査点とし、この検査点の影響範囲と交わらない他の検査点候補を昇順に探索し、有れば新規検査点に追加する。次に追加の検査点を元にその影響範囲と交わらない候補を探索する。検査点が設定数に満たない場合、既設定の検査点を含む論理回路の検査点指標情報 123 を再計算して上記処理を繰り返す。影響範囲が互いに交わらない検査点の集合を同一グループとする検査点相関情報 126 を付与する。検査点影響計算部 113 は、直前に設定した検査点によって回路内の CRF 等に基づき影響範囲を計算する。

図 1



【特許請求の範囲】

【請求項1】 複数の素子を接続してなる論理回路の各信号線に、検査点を挿入した場合のテストコストを求めて、検査点の挿入位置と回路型を決定する論理回路検査点の解析方法において、

論理回路の各信号線のテストコストまたはその近似値を求めてテスト容易性の度合いが高い順に所定数の検査点候補を選択し、前記検査点候補を挿入すると仮定した場合に前記テスト容易性が変化する影響範囲を求め、互いの影響範囲が重ならない又は重なりを無視できる検査点候補の集合を同時に新規な検査点として設定することを特徴とする論理回路検査点の解析方法。

【請求項2】 複数の素子を接続してなる論理回路の各信号線に、検査点を挿入した場合のテストコストを求めて、検査点の挿入位置と回路型を決定する論理回路検査点の解析方法において、

検査点の設定が無い又は有る状態で論理回路の各信号線のテストコストまたはその近似値を求め、テスト容易性の度合いが高い順に選択した所定数の検査点候補に対し、前記検査点候補を挿入すると仮定した場合に前記テスト容易度が変化する影響範囲を求め、降順に1つの候補を検査点としたときに該検査点の影響範囲に含まれない検査点候補の集合を同時に新規な検査点として設定することを特徴とする論理回路検査点の解析方法。

【請求項3】 複数の素子を接続してなる論理回路の各信号線に、検査点を挿入する場合のテストコストを求めて、検査点の挿入位置と回路型を決定する論理回路検査点の解析方法において、

前記論理回路に検査点の設定が無い又は有る状態で前記信号線各々のテストコストの近似値（以下、CRF）を求め、CRFの大きな順に所定数の検査点候補を選択し、検査点候補の各々を挿入したと仮定した場合のテストコストを求め、

テストコストの昇順に1つの検査点候補を検査点に設定したときに、他の検査点候補のテストコストに対する検査点影響の有無を求め、影響が無い又は無視できる検査点候補を新規な検査点として追加すると共に、追加した検査点による他の検査点候補に対する前記検査点影響を求めて上記処理を繰り返すことを特徴とする論理回路検査点の解析方法。

【請求項4】 請求項3において、

前記所定数の検査点候補の全てについて、前記検査点影響の有無による検査点の決定処理を繰り返しても所定の終了条件を満たさないとき、

既決定の検査点を含む論理回路のCRFを再計算し、その降順に所定数の検査点候補を再設定し、前記検査点影響を考慮した新規な検査点の決定処理を繰り返すことを特徴とする論理回路検査点の解析方法。

【請求項5】 請求項4において、

前記CRFを再計算する度に更新したグループ識別情報

を、以後の処理によって決定される検査点の集合に付与することを特徴とする論理回路検査点の解析方法。

【請求項6】 請求項3、4または5において、前記検査点候補から前記検査点への追加は、該当の検査点候補を挿入する信号線のテストコストが所定のしきい値を満たす場合に行なわれることを特徴とする論理回路検査点の解析方法。

【請求項7】 請求項1～6のいずれか1項において、前記論理回路を複数の部分回路に分割し、前記テストコストおよび／または前記検査点影響の計算を、該当する検査点候補または検査点が含まれる部分回路に限定して処理することを特徴とする論理回路検査点の解析方法。

【請求項8】 複数の素子を接続してなる論理回路の各信号線に、検査点を挿入した場合のテストコストを求めて、検査点の挿入位置と回路型を決定する論理回路検査点の解析装置において、

前記論理回路に検査点の設定が無い又は有る状態で、各信号線に検査点を挿入すると仮定した場合の信号線のテストコストまたはその近似値を計算し、その中からテスト容易性の度合いが高い順に所定数の検査点候補を選択する検査点指標計算部と、

直前に設定された検査点によって、前記検査点候補のテスト容易性の度合いに影響が有るか無いかを求める検査点影響計算部と、

最初に最もテスト容易性の度合いが高い検査点候補を検査点に設定し、設定された検査点との間で前記影響の無い検査点候補を次の検査点とする繰返し処理を行なう検査点決定部と、を備えることを特徴とする論理回路検査点解析装置。

【請求項9】 請求項8において、

前記検査点決定部は、検査点の設定により前記テスト容易性の度合いの変化する影響範囲が前記論理回路中で互いに交わらない検査点同士を同一グループに識別する検査点相関情報を出力することを特徴とする論理回路検査点の解析装置。

【請求項10】 複数の素子を接続した論理回路の中で、相対的にテストコストが小さい複数の信号線に制御点を挿入してなる半導体集積回路において、

前記制御点の挿入により前記テストコストの変化する影響範囲が互いに交わらない各制御点のテストデータ入力信号線が所定の素子に接続され、該素子は1つの外部入力素子、スキャン機能付きフリップフロップまたはテストデータ入力信号線の何れかに信号値を設定できるように接続されてなることを特徴とする半導体集積回路。

【請求項11】 複数の検査点が既に設定されている論理回路検査点の相関情報の解析方法において、

前記検査点の挿入位置、回路型及びテストコストなどを含む回路情報に基づいて、検査点グループが未定の検査点を全て検査点候補に仮決定すると共に、テストコストが最小の検査点候補を検査点に決定する第1のステップ

と、決定した検査点の挿入によりテストコストが変化する影響範囲を計算し、各検査点候補をテストコストの昇順に前記影響範囲に含まれるか否かを調べ、前記影響範囲に含まれない候補を新たな検査点に決定する処理を繰返し、この繰返し処理によって決定した検査点を同一グループとする相関情報を付与する第2のステップと、前記検査点候補の全てについて前記第1のステップを実行しても、既設定の検査点数に達しないとき、前記第1のステップに戻る第3のステップと、を含む論理回路検査点相関情報の解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数素子からなる論理回路におけるテスト容易化の検査点を最適に配置するための解析方法および解析装置に関する。また、検査点の配置を改善した半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路のテスト容易化技術の一つに、回路中に検査点を挿入する方法がある。検査点には、信号線を1に制御する易しさ（以下、1可制御性と呼ぶ）を向上させる「1制御点」と、信号線を0に制御する易しさ（以下、0可制御性と呼ぶ）を向上させる「0制御点」と、信号線の信号値を観測できる易しさ（以下、可観測性と呼ぶ）を向上させる「観測点」がある。

【0003】この検査点の回路や挿入位置の解析方法については、文献Proceeding of 2nd European Test Conference (1991年)の253～262頁に掲載されている、B. Seiss等による「Test Points Insertion for Scan-Based BIST」や、特開平6-331709号「試験可能性を改善した回路および回路の試験可能性を改善する方法」などに詳しく論じられている。

【0004】特に、前者の文献で述べられている検査点の解析方法は、COP (Controllability Observability Procedure) と呼ばれる確率的なテスト容易性尺度を用いて目的関数（以下、テストコストと呼ぶ）を定義し、それを最小化するように1つつ検査点を決定している。すなわち、1つの検査点を求める手順として、まず検査点の候補（以下、検査点候補と呼ぶ）を、それを挿入したときのテストコストの近似値に基づいて選び、各検査点候補に対して挿入した場合の実際のテストコストを計算した後、テストコストが最小になる検査点候補を検査点に決定する。そして、この処理を検査点の個数分、繰り返す。なお、この解析方法は、乱数パターンテストの容易化に有効であることが実験により確認されている。

【0005】

【発明が解決しようとする課題】従来例で述べた検査点の解析方法では、大規模な論理回路に対する処理時間が

膨大で、実用的には問題がある。処理時間の大部分は、最もループネストが深くなる検査点候補のテストコスト計算に費やされる。ここで、検査点候補数、検査点数がゲート数に比例すると仮定すると、最悪の場合にテストコスト計算時間がゲート数に比例し、検査点解析全体の処理時間がゲート数の3乗に比例する。一方、実用的な処理時間としては、対象となる半導体集積回路の大規模化の傾向と計算機の処理速度の向上の傾向を考慮すると、ゲート数の2乗以下に比例することが望ましい。

【0006】また、半導体集積回路に検査点を挿入する問題点として、回路面積のオーバーヘッドが生じる点が挙げられる。オーバーヘッドの主な要因は、検査点専用の入力素子や出力素子として用いるスキャン機能付きフリップフロップにある。

【0007】本発明の第1の目的は上記問題点に鑑み、論理回路における検査点の挿入位置を高速に解析する方法および装置を提供することにある。

【0008】本発明の第2の目的は、挿入する検査点回路のオーバーヘッドを低減した半導体集積回路を提供することにある。

【0009】本発明の第3の目的は、既定の検査点情報を基に、検査点回路のオーバーヘッド低減が可能な範囲を示す検査点相関情報の解析方法を提供することにある。

【0010】

【課題を解決するための手段】上記第1の目的は、複数の素子を接続してなる論理回路の各信号線に、検査点を挿入した場合のテスト容易度を求めて、検査点の挿入位置と回路型を決定する論理回路検査点の解析方法において、論理回路の各信号線のテストコストまたはその近似値を求めてテスト容易性の度合いが高い順に所定数の検査点候補を選択し、前記検査点候補を挿入すると仮定した場合に前記テスト容易性が変化する影響範囲を求め、互いの影響範囲が重ならない又は重なりを無視できる検査点候補の集合を同時に新規な検査点として設定することによって達成される。

【0011】または、前記検査点候補に対し、前記テスト容易性の度合いの降順にその1つを検査点としたときに、該検査点の前記影響範囲に含まれない検査点候補の集合を同時に新規な検査点として設定することによって達成される。

【0012】あるいは、前記論理回路に検査点の設定が無い又は有る状態で前記信号線各々のテストコスト（たとえば、COP）の近似値（たとえば、CRF）を求め、CRFの大きな順に所定数の検査点候補を選択し、検査点候補の各々を挿入したと仮定した場合のテストコストを求め、テストコストの昇順に1つの検査点候補を検査点に決定したときに、他の検査点候補のテストコストに対する検査点影響の有無を求め、影響が無い又は無視できる検査点候補を新規な検査点として追加すると共

に、追加した検査点による他の検査点候補に対する前記検査点影響を求めて上記処理を繰り返すことによって達成される。

【0013】前記所定数の検査点候補の全てについて、前記検査点影響の有無による検査点の決定処理を繰り返しても所定の終了条件を満たさないときは、既決定の検査点を含む論理回路のCRFを再計算し、その降順に所定数の検査点候補を再設定し、前記検査点影響を考慮した新規な検査点の決定処理を繰り返す。

【0014】あるいは、前記検査点候補から前記検査点への追加は、前記検査点影響が無いこと、該検査点候補のテストコストが所定のしきい値を満たしていることの2つを、条件として決定されることを特徴とする。

【0015】本発明の方法を適用した論理回路検査点の解析装置は、前記論理回路に検査点の設定が無い又は有る状態で、各信号線に検査点を挿入すると仮定した場合の信号線のテストコストまたはその近似値を計算し、その中からテスト容易性の度合いが高い順に所定数の検査点候補を選択する検査点指標計算部と、直前に設定された検査点によって、前記検査点候補のテスト容易性の度合いに影響が有るか無いかを求める検査点影響計算部と、最初に最もテスト容易性の度合いが高い検査点候補を検査点に設定し、設定された検査点との間で前記影響の無い検査点候補を次の検査点とする繰返し処理を行なう検査点決定部を備える。

【0016】また、前記検査点決定部は、検査点の設定により前記テスト容易度が増減する影響範囲が前記論理回路中で互いに交わらない検査点同士を同一グループとする検査点相関情報を出力することを特徴とする。

【0017】上記第2の目的は、複数の素子を接続した論理回路の中で、相対的にテストコストの低い複数の信号線に制御点を挿入してなる半導体集積回路において、前記制御点の挿入により前記テストコストが増減する影響範囲が互いに交わらない各制御点のテストデータ入力信号線が所定の素子に接続され、該素子は1つの外部入力素子、スキャン機能付きフリップフロップまたはテストデータ入力信号線の何れかに信号値を設定できるように接続されることにより達成される。

【0018】上記第3の目的は、複数の検査点が既に設定されている論理回路検査点の相関情報の解析方法において、前記検査点の挿入位置、回路型及びテストコストなどを含む回路情報に基づいて、検査点グループが未定の検査点を全て検査点候補に仮決定すると共に、テストコストが最小の検査点候補を検査点に決定する第1のステップと、決定した検査点の挿入によりテストコストが増減する影響範囲を計算し、各検査点候補をテストコストの昇順に前記影響範囲に含まれるか否かを調べ、前記影響範囲に含まれない候補を新たな検査点に決定する処理を繰返し、この繰返し処理によって決定した検査点を同一グループとする相関情報を付与する第2のステップ

と、前記検査点候補の全てについて前記第1のステップを実行しても、既設定の検査点数に達しないとき、前記第1のステップに戻る第3のステップと、を含むことにより達成される。

【0019】

【発明の実施の形態】以下、本発明の実施例について、図面を参照しながら詳細に説明する。図1は、一実施例による論理回路検査点の解析装置の構成を示す。本解析装置は、論理回路の素子や信号線に関する情報を入力する入力装置101と、検査点の型や挿入位置の演算を行なう演算処理装置102と、回路情報122、検査点指標情報123、検査点影響情報124、検査点情報125及び検査点相関情報126などを記憶する記憶装置103と、演算結果である検査点情報などを出力するデータ出力装置104からなる。

【0020】回路情報122は、論理回路における各素子の種別、素子間を接続する信号線の情報、仮定故障の情報、検査点の挿入が可能か否かに関する情報を含む。検査点指標情報123は、回路全体のテスト容易性を反映した数値情報で、検査点候補の集合の各要素に対して検査点指標を対応させたテーブルで表わされる。

【0021】ここで、検査点候補は信号線名と検査点型の組で表す。信号線名は、回路情報122で与えられる信号線の位置を特定する名称である。検査点型は、「1制御点」、「0制御点」、「観測点」等である。

【0022】検査点影響情報124は、挿入された1つまたは複数の検査点による検査点指標情報の変化の有無を表し、検査点候補に対する検査点影響情報と、その計算に必要な信号線に対するものとがある。信号線に対する検査点影響情報は、信号線名と検査点影響の組で、検査点候補に対する検査点影響情報は、検査点候補と検査点影響の組で表される。

【0023】検査点情報125は、検査点の挿入位置と回路に関する情報を、信号線名と検査点型の組で表す。検査点相関情報125は、検査点挿入により検査点指標情報が増減する回路中の範囲（以下、検査点影響範囲と呼ぶ）が互いに交わらない検査点グループの情報を、検査点と検査点グループの識別番号の組で表す。なお、検査点情報125や検査点相関情報126の追加、修正、あるいは新たな検査点相関情報126を作成する際に、データ入力装置101から回路情報122の他に検査点情報125を直接、入力することもある。

【0024】演算処理装置102は、回路情報122から検査点指標情報123を計算する検査点指標計算部111と、信号線に対する検査点影響情報と検査点候補に対する検査点影響情報を計算する検査点影響計算部113と、検査点指標情報123や検査点影響情報124に基づき、検査点や検査点相関情報を計算する検査点決定部112からなる。

【0025】図2は、論理回路検査点解析装置の処理手

順を示すフローチャートである。ステップS101はデータ入力処理で、データ入力装置101により回路情報122を入力し、記憶装置103に格納する。回路情報122の他に検査点情報125が入力される場合は、その検査点情報125を反映するように回路情報122を更新する。

【0026】ステップS102は検査点指標計算部111による検査点指標計算処理で、回路情報122から検査点候補の集合と各検査点候補に対する検査点指標を計算し、検査点指標情報123を作成する。ステップS103は検査点決定部112による初期検査点決定処理で、検査点指標情報123に基づいて最も検査容易性の高い検査点候補を選択し、それを検査点情報125に初期登録する。

【0027】ステップS104は検査点影響計算部113による検査点影響計算処理で、検査点情報125に登録した直前の検査点の影響範囲を計算し、各検査点候補について検査点影響の有無を調べ、検査点影響情報124を作成する。

【0028】ステップS105は検査点決定部112による相関考慮検査点決定処理で、検査点指標情報123による検査点候補のうち、ステップS104による検査点影響が「無」で、検査点指標が所定のしきい値を越えるものを新規検査点に決定し、検査点情報125に登録する。

【0029】ステップS106は、検査点を新規に決定したか判定し、新規決定があれば再びステップS104に戻る。そして、直前の検査点の影響範囲を計算し、各検査点候補について検査点影響の有無を調べ、検査点影響が「無」で、検査点指標が所定のしきい値を越えるものがあれば、さらに新たな検査点として検査点情報125に登録する処理を繰り返す。これによって、影響範囲の交わりの無い検査点は、検査点指標の再計算を行なうことなく同時処理できる。

【0030】なお、S104～S106のループで同時処理される検査点は、回路中への影響範囲が互いに交わらない検査点のグループとして、同一グループ番号を付与し検査点相関情報126に記憶する。

【0031】ステップS106では、検査点が新規に決定されない場合は、ステップS107で予め設定されている検査点解析処理の終了条件について判定する。終了条件を満足しない場合はステップS102に戻り、既に決定されている検査点を含んで論理回路の検査点指標計算処理を行なう。そして、検査点指標に基づき、既検査点を除く検査点候補の再決定と、初期検査点決定処理を行ない、上記した処理を繰り返す。終了条件は、たとえば検査点数の上限、検査点指標のしきい値、処理時間のリミット等による。

【0032】終了条件を満足する場合は、ステップS108へ進み、データ出力装置104により、記憶装置1

03に格納されている検査点情報125と検査点相関情報126を、論理回路検査点解析装置の結果として出力する。なお、検査点相関情報126を出力する必要がない場合は、ステップS105における検査点相関情報126の作成、ステップS108における検査点相関情報126の出力は省略してもよい。

【0033】ここで、検査点解析処理の詳細説明の前提として、論理回路と検査点の回路及び検査点影響範囲について説明する。図3は、論理回路と検査点の回路例で、同図(a)は、検査点挿入前の回路例で、ANDゲート、ORゲート、NANDゲート、NORゲート及び入/出力端子からなる論理回路である。故障集合に関しては、各ゲートの出力線、すなわち、信号線201～206と、信号線212～216が信号値0に縮退する故障(0縮退故障)と信号値1に縮退する故障(1縮退故障)を仮定する。

【0034】図3(b)は、同図(a)の回路に、4つの検査点を挿入した回路例である。信号線202には1制御点251、信号線212には0制御点261、信号線203には観測点271、信号線213には観測点281が挿入されている。

【0035】1制御点251は、信号線202の1可制御性を向上させる。2入力ORゲート253とスキャン機能付きフリップフロップ254から構成され、ORゲート253の入力線は、信号線202の入力側部分252に接続する通常入力線と、スキャン機能付きフリップフロップ254に接続するテストデータ入力線である。ORゲート253の出力線は信号線202に接続する。なお、スキャン機能付きフリップフロップ254は、テスト時にはスキャンチェーンで入力される信号値を出力するが、通常動作時は常に信号値0を出力する。

【0036】0制御点261は、信号線212の0可制御性を向上させる。2入力ANDゲート263とスキャン機能付きフリップフロップ264から構成され、ANDゲート263の入力線は、信号線212の入力側部分262に接続する通常入力線と、スキャン機能付きフリップフロップ264に接続するテストデータ入力線である。ANDゲート263の出力線は信号線212に接続する。スキャン機能付きフリップフロップ264は、テスト時にはスキャンチェーンで入力される信号値を出力するが、通常動作時は常に信号値1を出力する。

【0037】観測点271は、信号線203の可観測性を向上させる。信号線203から分岐した信号線272に、スキャン機能付きフリップフロップ273が接続する。同様に、観測点281は、信号線213の可観測性を向上させる。信号線213から分岐した信号線282に、スキャン機能付きフリップフロップ283が接続する。

【0038】図4に、検査点影響範囲の説明図を示す。同図(a)は、制御点の影響範囲を示す。論理回路40

1の入力素子群を402、出力素子群を403とする。制御点404による可制御性の変化のある範囲は、制御点404が位置する信号線から出力側に接続された縦縞の部分回路405である。また、制御点404による可観測性の変化のある範囲は、部分回路405と、部分回路405に含まれる出力から入力側に接続された横縞の部分回路406である。これらの部分回路405、406では、可制御性、可観測性またはその両方が変化するため、部分回路内にある信号線上の検査点候補はその検査点指標情報に変化する。したがって、部分回路405、406に含まれる信号線に対する検査点影響情報は「有」であり、それ以外の例えば、部分回路407に含まれる信号線に対する検査点影響情報は「無」である。

【0039】図3(b)の具体例でみると、制御点251による可制御性の変化のある範囲は、信号線202、203、205、206である。また、制御点251による可観測性の変化のある範囲は、信号線206、205、204、203、202、201となる。

【0040】図4(b)に、観測点の影響範囲を示す。論理回路411の入力素子群を412、出力素子群を413とする。観測点414による可観測性の変化のある範囲は、観測点414が位置する信号線から入力側に接続された部分回路415である。なお、観測点414による可制御性の変化はない。この部分回路415では、可観測性に変化するため、その部分回路内にある信号線上の検査点候補は検査点指標情報に変化する。したがって、部分回路415に含まれる信号線に対する検査点影響情報は「有」であり、それ以外の部分回路416に含まれる信号線に対する検査点影響情報は「無」である。

【0041】図5に、2つの検査点の影響範囲の交わりに関する説明図を示す。図中、論理回路501の入力素子群を502、出力素子群を503、制御点504とする。また、領域505は制御点504の検査点影響範囲を表す。以下、(a)ある検査点が他の検査点影響範囲に含まれる場合、(b)2つの検査点影響範囲が互いに交わらない場合、(c)、(d)2つの検査点影響範囲に交わりがあるがどちらの検査点も他方の検査点影響範囲には含まれない場合を説明する。

【0042】図5(a)は、制御点506が制御点504の影響範囲に含まれている。この場合、2つの制御点が強相関であると呼ぶことにする。この強相関の関係については、制御点と観測点の場合、2つの観測点の場合も同様に定義できる。仮に、2つの検査点候補が強相関である場合、どちらかを検査点に決定すると、他方の検査点影響範囲における可制御性／可観測性は変化するため、検査点指標情報を更新する必要がある。

【0043】図3(b)の具体例でみると、制御点251による強相関の範囲は信号線201、202～206となる。また、制御点261による強相関の範囲は信号線201、212～216となる。

【0044】図5(b)は、制御点516の検査点影響範囲517は制御点504の検査点影響範囲505と交わりがない。この場合、2つの制御点は独立であると呼ぶことにする。この独立の関係については、制御点と観測点の場合、2つの観測点の場合も同様に定義できる。2つの検査点候補が独立である場合、どちらかを検査点に決定しても、他方の検査点影響範囲における可制御性／可観測性は変化しないため、検査点指標情報を更新する必要はない。

【0045】図5(c)は、制御点526の検査点影響範囲527は制御点504の検査点影響範囲505と交わりがあるが、制御点526は制御点504の検査点影響範囲505に含まれていないし、制御点504は制御点526の検査点影響範囲527に含まれていない。この場合、2つの制御点が弱相関であると呼ぶことにする。図3(b)の具体例でみると、制御点251と制御点261の影響範囲は、信号線201で交わっている。

【0046】2つの制御点の検査点候補が弱相関である場合、どちらかを検査点に決定すると、他方の検査点影響範囲における可制御性は変化しないが、可観測性は一部変化する。そのため、厳密には検査点指標情報を更新する必要がある。しかし、発明者等のテストによれば、弱相関の検査点候補を検査点影響「無」と扱っても、実用上は問題がないことが確認されている。もちろん、検査点指標の再計算を行なうか否かは、最大処理時間、検査点挿入位置の最適性等の目的に応じて決定するようにしてもよい。

【0047】図5(d)は、観測点536の検査点影響範囲537は制御点504の検査点影響範囲505と交わりがあるが、観測点536は制御点504の検査点影響範囲505に含まれていないし、制御点504は観測点536の検査点影響範囲537に含まれていない。この場合、2つの検査点候補が弱相関であり、一方を検査点に決定すると、他方の検査点影響範囲における可観測性は一部変化する。なお、弱相関の関係については、制御点と観測点の場合は(c)、(d)のように同様に定義できるが、2つの観測点の場合は定義しない。

【0048】以下、図2の各ステップで行なわれる演算処理装置の各部の処理手順を順に説明する。図6は、ステップS102の検査点指標計算処理の詳細フローを示す。本処理は検査点指標計算部111で行なわれ、検査点指標として上述のCOPと呼ばれる確率的なテスト容易性の尺度を求めるが、テスト容易化の効果を表す指標であればこれに限られない。

【0049】ステップS201で、まず検査点挿入前のCOPを計算する。COPの計算は、入力から出力側に向かって可制御性(1可制御性)を計算し、出力から入力側に向かって可観測性を計算する。そして、仮定された各故障に対し、故障のある信号線において正常時と故障時では異なる信号値となる確率と、その信号線の故障

を観測できる確率を掛け合わせた数値である、故障検出確率を計算する。すなわち、0縮退故障の故障検出確率は、1可制御性と可観測性の積であり、1縮退故障の故障検出確率は、0可制御性と可観測性の積である。なお、「0可制御性=1-1可制御性」である。さらに、目標関数であるテストコストを、全故障に対して故障検出確率の逆数を加えた数値として定義する。これは、1つの故障を検出するためのテストパターン数の期待値と等価な値であり、回路全体のテスト容易性を反映するので、コストが小さいほどテスト容易性が高い。

【0050】ステップS202では、各信号線において、可観測性に関するテストコストの微分係数と、可制御性に関するテストコストの微分係数を計算する。計算方法の詳細は、文献 IEEE Transactions on Computer-Aided Design Vol.CAD-6(1987)1082~1087頁に掲載されているR.Lisanke等による「Testability-Driven Random Test-Pattern Generation」に記述されている。

【0051】ステップS203では、CRF (Cost Reduction Factor) と呼ばれる、検査点挿入によるテストコストの差分 (ACR; Actual Cost Reduction) の近似値、すなわち検査点を挿入する前のテストコストから検査点 (候補) を挿入した場合のテストコストを引いた値の近似値を、各検査点候補について計算する。検査点候補となる信号線には、制御点挿入可能な信号線と観測点挿入可能な信号線とがあり、CRFの値によって選択される。

【0052】CRFの計算方法の詳細は、前掲B.Seiss等の文献で述べられているが、制御点のCRF_cと観測点のCRF_oがある。なお、CRFはACRとよい相関を示し、CRFの値が大きい信号線ほど検査点を挿入するのが望ましい。ただし、CRFは近似値であるために、精度が要求される場合は、実際に検査点の挿入した場合のテストコストを計算する必要がある。

【0053】ステップS204では、CRFに基づいて条件を満たすものを検査点候補とし、その集合を作成する。検査点候補となるCRFの条件は、CRFの降順で予め定めておいた検査点個数の上限や、CRFの最大値に対する一定割合以上などである。CRF_c値から選ばれた検査点候補は制御点候補、CRF_o値から選ばれた検査点候補は観測点候補となる。

【0054】ステップS205とステップS206により、作成した検査点候補の集合の全要素に対し、検査点候補を挿入した場合のCOP (可制御性、可観測性、テストコスト) を計算する。それにより、検査点候補とテストコストの組の集合である、検査点指標情報123を作成する。

【0055】図7は、ステップS103の初期検査点決定処理の詳細フローを示す。本処理は検査点決定部112で行なわれる。

【0056】ステップS301では、検査点影響情報1

24の内容をすべて検査点影響「無」にクリアする。すなわち、全信号線に対する検査点影響を「無」に、全検査点候補に対する検査点影響を「無」に設定する。ステップS302では、検査点指標情報126のグループ番号に、その時点まで使われていない新グループ番号を設定する。ステップS303では、検査点指標情報123の中で、検査点指標が最良の検査点、すなわち、テストコストが最小の検査点候補を検査点として決定し、検査点情報125に信号線名と検査点の型を登録する。そして、ステップS305で、回路情報122を検査点を挿入した回路情報に更新する。

【0057】図8は、ステップS104の検査点影響計算処理の詳細フローを示す。本処理は検査点影響計算部113で行なわれる。ここでは、ある検査点と弱相関となる検査点候補は、その検査点影響を「無」としている。

【0058】ステップS401で、直前に決定した検査点の検査点影響範囲を計算し、その影響範囲にある信号線に対し検査点影響を「有」に設定する。検査点影響範囲外にある信号線に対する検査点影響は更新しない。次に、ステップS402で、検査点候補挿入位置について求めた検査点影響の「有」/「無」を設定する。これをステップS403で、全部の検査点候補について繰返し実行する。

【0059】本処理手順によれば、検査点影響計算処理 (S104) の処理時間は、回路情報から信号線間の接続関係を探る処理なので、対象となる素子数がゲート数以下となり、最悪の場合でゲート数に比例する。したがって、COP (可制御性、可観測性、テストコスト) を計算する検査点指標計算処理S102よりは十分小さく、検査点解析処理全体における処理時間のネックにならない。

【0060】図9は、ステップS105の相関考慮検査点決定処理の詳細フローである。本処理は、検査点決定部112によって行なわれる。

【0061】ステップS501で、検査点指標情報123を用いて、検査点候補の集合を検査点指標が良い順にソートし、検査点候補の番号を1から順に与える。検査点指標がテストコストの場合は、ソート順はテストコストの数値の昇順となる。以降の処理で、検査点指標のソート順に検査点候補を処理するために、ステップS502で、対象となる検査点候補の番号Nを1に設定する。

【0062】ステップS503で、検査点候補対象番号Nと検査点候補数を比較し、全ての検査点候補を処理したか判定する。番号Nが検査点候補数以下のとき、ステップS504で、検査点候補Nに対する検査点影響が「無」であるか判定し、さらに、ステップS505で、検査点影響が「無」の検査点候補Nが検査点指標条件を満たすか判定する。2つの条件を満たさない場合は、ステップS506で、対象となる検査点候補の番号Nを1

増加し、ステップS503に戻る。

【0063】2つの条件を満たす場合、ステップS507で、検査点候補Nの信号線名と検査点型を検査点情報125に1つ追加登録し、ステップS508で、直前に登録した検査点に対応する検査点グループ番号(図7のS302で設定した番号)を検査点相関情報126に設定する。さらに、ステップS509で、直前に登録した検査点を挿入して回路情報122を更新し、ステップS510で処理を終了し、新規決定検査点ありの戻り値を返す。新規決定検査点ありの戻り値のとき、図2のステップS106は制御をS104に戻す。

【0064】一方、ステップS503で、検査点候補対象番号Nが検査点候補数より大きいとき、すなわち、全ての検査点候補がステップS504、S505の2つの条件を満たされないとき、ステップS511で処理を終了し、新規決定検査点なしの戻り値を返す。この戻り値のとき、図2のステップS107において、終了条件を判定し満たしていなければ、制御をステップS102に戻す。

【0065】ステップS505における検査点指標条件は、例えば検査点指標が上述のCOPによるテストコストの場合、「検査点候補挿入後のテストコストと検査点候補挿入前のテストコストとの差分が、直前に決定した検査点挿入後のコストと検査点挿入前のコストとの差分に所定数を乗じた値より大きい」ことによる。すなわち、処理順による検査点候補のテストコストは昇順となっているので、直前の差分の一定割合と今回の差分を比較し、後者の差分がある程度大きな範囲の間、すなわちテストコスト低減の効果が期待できる間は処理を繰り返す。しかし、挿入する検査点候補のテストコストが大きくなり、テストコスト低減の効果が期待できない検査点指標条件に達すると、処理が打ち切られる。

【0066】以上、本実施例による論理回路検査点解析装置の構成と処理手順を説明した。次に、図3(a)の論理回路に適用した具体的な動作を、図2の処理フローに従って説明する。なお、ステップS107の終了条件は、ここでは新規決定される検査点数=4とする。

【0067】まず、ステップS101で、回路情報122として図3(a)の情報を入力する。なお、仮定故障は、各素子の出力線、すなわち、信号線201~206、212~216上の0縮退故障と1縮退故障とする。また、制御点、観測点が挿入可能な信号線は、ともに各素子の出力線、すなわち、信号線201~206、212~216とする。

【0068】次に、ステップS102の計算過程であるステップS201~S203で、COP等の数値が求まる。図10(a)に、COP、微分係数及CRFの計算値のテーブルを示す。

【0069】図中、列1011は、図3(a)における信号線の番号を示す。列1012~列1015はステッ

プS201で計算される数値で、列1011の信号線に対する1可制御性(C)、可観測性(O)、0縮退故障の故障検出確率(P(0))、1縮退故障の故障検出確率(P(1))である。ステップS201では、列1014と列1015の各数値の逆数を積算した、テストコスト1020も計算している。本例の論理回路の場合、故障検出確率が最小となる故障は信号線203の0縮退故障で、その確率は「0.001」であり、テストコストは「1810」となる。

【0070】列1016と列1017は、ステップS202で計算される数値で、可観測性に関するテストコストの微分係数(dU/dO)、1可制御性に関するテストコストの微分係数(dU/dC)である。なお、 dU/dC が正のとき、1可制御性を小さくすればテストコストも小さくなるので、0制御点挿入が望ましい。また、 dU/dC が負のとき、1可制御性を大きくすればテストコストは小さくなるので、1制御点挿入が望ましい。列1018と列1019は、ステップS203で計算されるCRFで、観測点を挿入した場合のCRF_o、制御点を挿入した場合のCRF_cである。

【0071】次に、ステップS204~S206の計算で、図11(a)の列1102~列1105に示す検査点指標情報123が求まる。列1102は、検査点候補であり、信号線1103と検査点型1104の組で表される。検査点候補の集合は、ステップS204で、図10(a)のCRF_o及びCRF_cから値が大きいものの5個を選択している。また、1制御点と0制御点の選択は候補点の微分係数 dU/dC によっている。列1105は、検査点指標となるテストコストで、ステップS205、S206で、検査点候補挿入後のCOPを計算して求めている。

【0072】図11(a)に示された検査点指標情報123に基づいて、ステップS103の初期検査点決定処理が行なわれる。なお、この処理以降で用いる検査点影響情報124について、検査点候補に対する検査点影響情報を図11(a)の列1111~列1113に、信号線に対する検査点影響情報を図12(a)の列1202~列1204に示す。検査点影響情報は、「有」か「無」で示される。

【0073】初期処理のステップS301では、列1111のように検査点候補に対する検査点影響(1)をすべて「無」に、列1202のように信号線に対する検査点影響(1)をすべて「無」に設定する。そして、ステップS302で、検査点相関情報126のグループ番号を1に設定する。次に、ステップS303で、図11(a)の列1105から、テストコストが最小の検査点候補である信号線202の「1制御点」を選択し、検査点として検査点情報125に登録する。

【0074】図13に検査点情報のテーブルを示す。同図(a)の列1301~列1304のように、決定した

検査点1302を信号線1303と検査点型1304の組で表す。ここでは、検査点番号1の欄に、信号線として202、検査点型として「1制御点」を格納する。そして、ステップS304で、検査点相関情報126として、列1305に示すように、検査点グループ番号1を格納する。

【0075】次に、ステップS104の検査点影響計算処理による、検査点影響情報124の設定とその遷移を説明する。ここでは、ある検査点と弱相関となる検査点候補に対して、検査点影響情報を「無」としている。

【0076】ステップS401で、検査点番号1の検査点影響範囲を計算し、信号線に対する検査点影響情報を更新する。信号線202の「1制御点」による影響は、上述したように、可制御性に变化のある範囲が信号線202から出力側へ信号線203、205、206である。また、可観測性に变化のある範囲は可制御性に变化のある出力部である信号線205、206から逆に入力側に接続する信号線であり、信号線201～206である。したがって、各信号線に対する検査点番号1の影響範囲は、図12(a)の列1203のように、信号線201～206が「有」で、それ以外の信号線が「無」となる。

【0077】ステップS402とS403で、検査点番号1による信号線に対する検査点影響を示す列1203に基づいて、検査点候補に対する検査点影響情報を図11(a)の列1112のように設定する。検査点候補の番号1、2、3に対しては、対応する信号線203、204、205の検査点影響「有」が設定される。検査点候補の番号4、5に対しては、対応する信号線212、213の検査点影響「無」が設定される。

【0078】次に、ステップS105の相関考慮検査点決定処理による、検査点情報125および検査点相関情報126の設定と遷移について説明する。

【0079】ステップS501で、図11(a)の列1102～1105の検査点指標情報を、検査点指標(テストコスト)1105の昇順に並び換える。図示の列1101は昇順に並び換えた番号を示している。ステップS502からステップS506で、番号2の検査点候補から順に、ステップS504による検査点影響が「無」で、ステップS505による検査点指標条件を満たすか判定する。

【0080】ここでの検査点指標条件は、検査点候補挿入後のテストコスト(たとえば、検査点候補番号2では894)と検査点挿入前のテストコスト(1810)との差が、直前の検査点である番号1の挿入後のテストコスト(871)と検査点挿入前のテストコスト(1810)との差分に、0.1を乗じた値(93.9)より大きいことをしきい値とする。この指標条件は、検査点候補挿入後の検査点指標が1716.1より小さいことと同値であり、番号2から番号5までのすべての検査点

候補はこの条件を満たす。

【0081】したがって、検査点番号1による検査点影響が「無」で、検査点指標情報条件を満たす検査点候補は番号4、5となるが、まずテストコストの小さい候補番号4(信号線212の「0制御点」)が選択される。そして、ステップS507で、図13(a)の検査点番号2の欄に、候補番号4の検査点候補に対応する信号線と検査点型を登録する。また、ステップS508で、検査点番号2の検査点に対応する検査点グループ番号=1を設定する。さらに、ステップS510で、新規決定検査点ありの戻り値を返し、相関考慮検査点決定処理305を終了する。

【0082】次に、ステップS106では、検査点が新規に決定されているので、ステップS104の検査点影響計算処理に戻る。直前に決定した信号線212の「0制御点」の検査点影響範囲は、信号線201、212、213、214、215、216となるので、これらの信号線に対する検査点影響情報を全て「有」に設定する。この結果、信号線に対する検査点影響(3)は、図12(a)の列1204のように遷移する。さらに、検査点候補に対する検査点影響(3)は、図11(a)の列1113のようになる。

【0083】次に、再度、ステップS105の相関考慮検査点決定処理に進む。この時点での検査点候補に対する検査点影響情報1113によれば、検査点影響情報が「無」である検査点候補が皆無である(候補番号5も「有」に遷移している)。このため、図9のステップS511で、相関考慮検査点決定処理を終了し、新規決定検査点なしという戻り値を返す。この戻り値により、ステップS107では、終了条件を満たすか判定する。現在の設定検査点数は2個であり、終了条件の検査点数=4を満たしていないので、ステップS102に戻る。

【0084】ステップS102の検査点指標計算処理では、まず、図10(b)の列1031～1035のように、検査点情報に登録された検査点1、2を挿入した論理回路についてCOPを計算し、テストコスト1040を計算する。テストコストを計算する際の対象となる故障として、この例では図10(b)の列1031の信号線上の故障の他に、挿入した検査点に含まれる素子の出力線上の故障も考慮している。そして、図10(b)の列1036～1039のように、テストコストの微分係数及びCRFを計算する。このCRFに基づいて、値が大きいものから5個を検査点候補として選び、各検査点候補に対する検査点指標(テストコスト)を計算する。作成された検査点指標情報を、図11(b)の列1122～1125に示す。

【0085】次のステップS103の初期検査点決定処理では、まず、信号線に対する初期の検査点影響(1)を図12(b)の列1212のように、また、検査点候補に対する検査点影響(1)を図11(b)の列1113

1のように、全て「無」にクリアする。そして、テストコストが最小の検査点候補である信号線203の観測点を、検査点番号3の検査点に選択して、検査点情報125に登録する。ここでの検査点グループ番号は「2」となる。この時点における検査点情報と検査点関連情報を、図13(b)の検査点番号1～3に示す。

【0086】さらに、ステップS104の検査点影響計算処理で、検査点番号3の観測点による検査点影響範囲を計算する。信号線に対する検査点影響(2)を図12(b)の列1213に、検査点候補に対する検査点影響(2)を図11(b)の列1132に示す。

【0087】ステップS105の相關考慮検査点決定処理では、検査点影響(2)が「無」で、検査点指標条件を満たす検査点候補の中で、テストコストが最小である信号線213の観測点が、検査点番号4の検査点として検査点情報125に登録される。検査点グループ番号は「2」である。この時点における検査点情報と検査点関連情報を、図13(b)の番号1～4に示す。

【0088】この結果、ステップS107で、検査点数=4の終了条件を満たすので、ステップS108のデータ出力処理へと進む。データ出力処理では、検査点情報125と検査点関連情報126として、図13(b)の内容を出力する。

【0089】以上により、図3(a)の論理回路は検査点を挿入されて図3(b)となる。各検査点は、検査点番号1から順に、「1制御点」251、「0制御点」261、「観測点」271、「観測点」281となる。

【0090】図3(b)の論理回路に対してCOPを計算した結果を図10(c)に示す。列1060に示したテストコストは「252」で、図10(a)に示した検査点挿入前のテストコスト「1810」に比べて大幅に改善されていることがわかる。さらに、最小となる故障検出確率は、信号線201上の0縮退故障の「0.0278」であり、検査点挿入前の最小故障検出確率「0.0010(信号線203上の0縮退故障)」に比べて大幅に改善されている。したがって、図2(a)で示される論理回路に比べて、図2(b)で示される検査点挿入後の論理回路は、テスト容易性が高いと認められる。

【0091】ここで、図2に示した本実施例の検査点解析の処理時間について考察する。解析における大部分の処理時間は、ステップS102の検査点指標計算処理において、検査点候補挿入後のCOP計算(S205)に費やされる。この処理は、ステップS102～S107のループ中における、ステップS205～S206のループ処理であり、最もループのネストが深くなるためである。後者のループ回数は検査点候補数となる。一方、前者のループ回数は、終了条件とした全検査点数から相關考慮検査点決定処理305のみで決定した検査点数を差し引いた数となる。すなわち、後者のみで検査点を決定した分だけ処理時間を短縮できることがわかる。

【0092】さらに、検査点の解析全体の処理時間に関して見積もる。まず、相關考慮検査点決定処理105で指摘する検査点数は、ゲート数の1/2乗で増加すると予想できる。これは、論理回路の大規模化に対し、論理回路における素子の段数はあまり変わらず、入出力素子、記憶素子数が増加するため、論理回路内の相関のない部分回路の数が増加するためである。また、検査点候補数、検査点数およびCOPの計算時間がゲート数に比例すると仮定すると、検査点解析処理全体の処理時間は、最悪の場合でゲート数の2.5乗に比例する。なお、COPの計算処理で、値の変化する信号線のみ計算の対象とする、いわゆるイベントドリブン方式を採用すれば、その計算時間はゲート数の1/2乗に比例するため、検査点解析処理全体の処理時間は、ゲート数の2乗に比例する。このように、本実施例による処理時間は従来に比べて大幅に短縮され、実用的な時間の範囲に入っている。

【0093】一方において、本実施例の相關考慮検査点決定処理によるテストコスト最小化の能力、すなわち、テスト容易化の効果は従来とほぼ同等である。これは、検査点影響が「無」である信号線では、その検査点を決定した後に回路情報を更新し検査点指標を計算し直す場合と、検査点決定前の検査点指標を用いる場合とで、その検査点指標の相対的数値が変わらないためである。

【0094】以上のように、本実施例の論理回路検査点解析装置は、検査点影響計算処理を行う検査点影響計算部113と、相關考慮検査点決定処理を行う検査点決定処理部112を備えて、検査指標計算部111のCOP計算を軽減することにより、テスト容易化の効果が同程度の検査点の決定を、高速に処理することができる。

【0095】次に、本発明の第2の実施例を説明する。第2の実施例の論理回路検査点解析装置では、論理回路を複数の部分回路に分割する情報を利用して、検査点決定処理を行なう。なお、本実施例の基本構成は図1及び図2と同様である。

【0096】図14は、論理回路を複数の部分回路に分割する情報を利用した、検査点影響範囲の説明図である。論理回路1401の入力素子群を1402、出力素子群を1403とする。複数の部分回路に分割する情報により、論理回路1401は部分回路1411、1412、1413、1414に分割される。なお、検査点1421、1423は制御点、検査点1422、1424は観測点である。

【0097】検査点影響範囲をその検査点が含まれる部分回路に限定した場合、検査点1421、1422、1423、1424の影響範囲は、それぞれ領域1431、1432、1433、1434となる。

【0098】検査点影響計算処理104において、影響範囲を部分回路に限定して計算するためには、図8におけるステップS401の処理で、対象とする信号線を上

記の部分回路に限定するだけでよい。

【0099】検査点指標計算処理102においても、検査点候補に対する検査点指標の計算を、その検査点候補が含まれる部分回路内に限定する。すなわち、図6におけるステップS205の処理で、その検査点候補が含まれる部分回路内の信号線に対しては可制御性・可観測性を計算し、それ以外の信号線に対しては検査点候補挿入前の可制御性・可観測性を用いて、回路全体の検査点候補挿入後のコストを計算すればよい。

【0100】なお、論理回路を複数の部分回路に分割する情報は、論理設計における論理ブロックの情報を用いる。あるいは、検査点解析処理の前に回路を分割する情報を作成してもよい。ただし、部分回路間の相関ができるだけ小さく、または部分回路間の接続ができるだけ少なく分割することが望ましい。

【0101】第2の実施例によれば、検査点影響計算処理104において、検査点影響計算の必要となる信号線数が少なくできる。同様に、検査点指標計算処理302において、検査点候補挿入後の可制御性・可観測性計算が必要となる信号線数が少なくでき、それら処理の高速化が可能になる。

【0102】次に、他の発明である検査点相関情報解析処理の実施例を説明する。本実施例では、既に与えられた検査点情報125から検査点相関情報126のみを生成する。図15に、本実施例による検査点相関情報解析処理のフロー図を示す。論理回路検査点の解析処理の実施例である図2との相違は、検査点指標計算処理102を行わずに設定済みの検査点を検査点候補とする（ステップS1502）点である。

【0103】すなわち、ステップS101で回路情報122を入力した後、ステップS15002で、検査点相関情報の検査点グループが決まっていない検査点、従って、最初は設定済みの全ての検査点を検査点候補とする。以後の処理は第1の実施例と同様に行なわれる。検査点候補の中で最もテストコストの小さいものを検査点とし、その検査点影響範囲を計算し、その影響範囲に入らない検査点候補を新規検査点として決定できた場合は、その影響範囲を計算してさらに新規検査点を求める処理を繰返し、この繰返し処理で決定された各検査点に同一グループ番号を付与する。一方、新規検査点を決定できず、かつ、当初の設定済み検査点数にも達していない場合は、ステップS1502に戻って、検査点グループが未定の検査点の全てを新たな検査点候補として、上記処理を終了条件に到達するまで繰り返す。

【0104】本実施例の処理手順では、すでに検査点が設定されている場合に、検査点指標情報を考慮することなく、検査点影響情報によってそれら検査点のグループ分けを行なうため、各検査点グループに属する検査点の数が増える。検査点が互いに影響範囲にないことを示すグループ番号、すなわち検査点相関情報は検査点回路

の設計に有用な情報となる。後述するように、同一グループ番号の検査点はその検査点回路の一部、たとえば検査点用のスキャン機能付きフリップフロップを共用できる。

【0105】次に、上記の論理回路検査点解析方法を適用した、半導体集積回路の一実施例について説明する。本集積回路の検査点は、上記の検査点情報によって最適配置されているが、さらに検査点相関情報によって検査点回路面積のオーバーヘッドの低減に効果を上げている例である。

【0106】図16は、本実施例による半導体集積回路の構成図である。4つの検査点を有する図3(b)の論理回路への適用例で、信号線202に挿入した制御点251、信号線212に挿入した制御点261の回路構成が変更されている以外は同じである。制御点251と制御点262は互いの影響範囲に交わりが無く、同一グループに含まれている。

【0107】すなわち、「1制御点」251のテストデータ入力線に接続するスキャン機能付きフリップフロップ254と、「0制御点」261のテストデータ入力線に接続するスキャン機能付きフリップフロップ264を、1つのスキャン機能付きフリップフロップ1505によって共用し、その出力線1504を信号線1501と信号線1502に分岐し、それぞれ、素子253と素子263に入力している。ただし、通常動作時には制御点251、261が動作しないように、素子263にはNOTゲート1503により信号線1502の反転値を入力する。なお、スキャン機能付きフリップフロップ1505は通常動作時に常に信号値0を設定する。

【0108】同図の回路構成ではテスト時、スキャン機能付きフリップフロップ1505に接続された独立な2つの制御点251、261のテストデータ入力線に同じ信号を入力しても、回路内におけるその信号が影響を与える範囲が交わらない。そのため、2つの制御点251、261それぞれにスキャン機能付きフリップフロップを設けて、そのテストデータ入力線に異なる信号を入力した場合と、同等のテスト容易化の効果が得られる。したがって、スキャン機能付きフリップフロップなど、入力素子の回路面積のオーバーヘッドが小さくなる。

【0109】なお、上記の複数の検査点のテストデータ入力線を1つのスキャン機能付きフリップフロップで共用できる条件は、それらの検査点が独立であることが望ましいが、弱相関である場合も条件に含むことができる。

【0110】このように、本実施例によれば、複数の検査点を持つ半導体集積回路において、複数の検査点が互いに独立または弱相関の検査点相関情報を有している場合に、それら複数の検査点のテストデータ入力線を1つのスキャン機能付きフリップフロップで共用した構成として、テスト容易性を維持しながら、回路面積のオーバ

ーヘッドを小さくできる効果がある。

【0111】

【発明の効果】本発明によれば、論理回路における検査点の解析を高速に処理でき、実用可能な解析装置を提供できる。

【0112】また、他の発明によれば、既に検査点が決まっている論理回路に対し、検査点の影響範囲が互いに交叉しないグループを示す検査点相関情報が簡単に提供できるので、オーバーヘッドの少ない検査点回路の設計に役立てることができる。

【0113】さらに他の発明によれば、検査点相関情報に基づいて、検査点挿入による回路面積のオーバーヘッドを低減した半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】第1の発明である論理回路検査点解析装置の一実施例による構成図。

【図2】論理回路検査点解析装置の処理手順の一実施例を示すフロー図。

【図3】一例による論理回路図および検査点を挿入した論理回路図。

【図4】検査点の影響範囲を説明する概念図。

【図5】2つの検査点の相互関係を説明する概念図。

【図6】図2の検査点指標計算処理の詳細を示すフロー図。

【図7】図2の初期検査点決定処理の詳細を示すフロー図。

【図8】図2の検査点影響計算処理の詳細を示すフロー

図。

【図9】図2の相関考慮検査点決定処理の詳細を示すフロー図。

【図10】COP、微分係数及びCRFの計算内容を示すテーブル。

【図11】検査点指標情報、及び検査点候補に対する検査点影響情報の構成と処理過程での遷移内容を示すテーブル。

【図12】信号線に対する検査点影響情報と、処理過程での遷移内容を示すテーブル。

【図13】検査点情報及び検査点相関情報の構成と内容を示すテーブル。

【図14】本発明の他の実施例による検査点解析処理で、分割された回路情報の利用を説明する概念図。

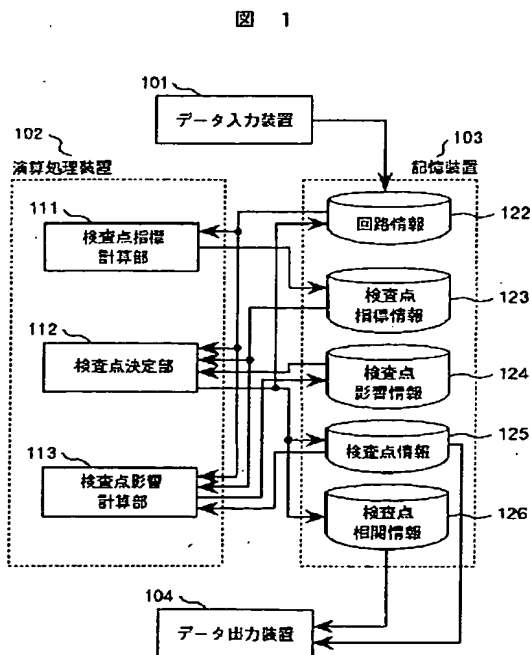
【図15】他の発明である検査点相関情報解析処理の一実施例で、検査点情報から検査点相関情報を計算するフロー図。

【図16】さらに他の発明である半導体集積回路の一実施例による構成図。

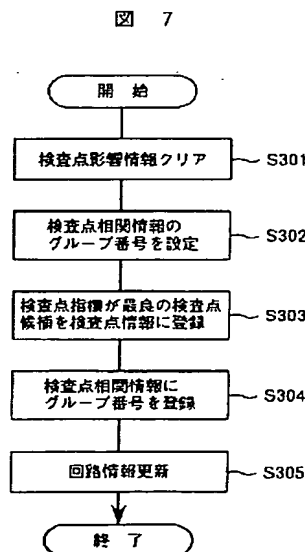
【符号の説明】

111…検査点指標計算部、112…検査点決定部、113…検査点影響計算部、123…検査点指標情報、124…検査点影響情報、125…検査点情報、126…検査点相関情報、302…検査点指標計算処理、303…初期検査点決定処理、304…検査点影響範囲計算処理、305…相関考慮検査点決定処理。

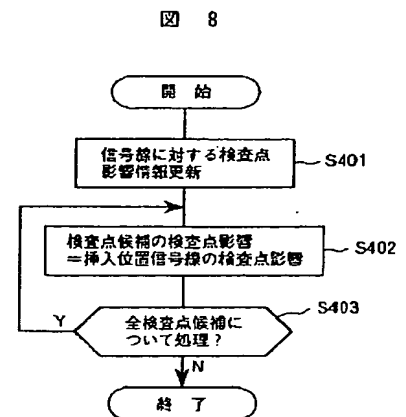
【図1】



【図7】

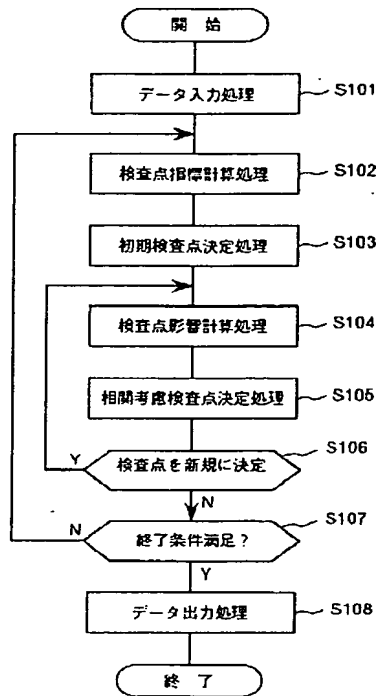


【図8】



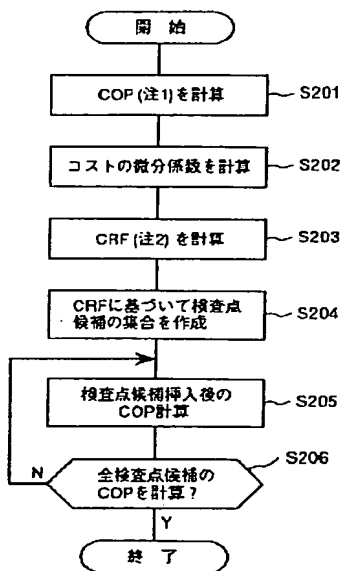
【図2】

図 2



【図6】

図 6

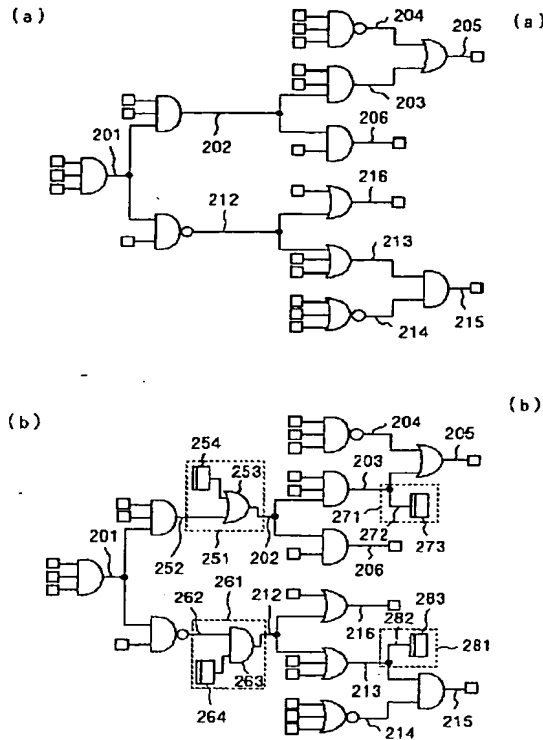


(注1) COP: 率率的なコスト/リサイズ (可制御性, 可観測性, コスト)

(注2) CRF: 検査点挿入によるコスト差分の近似

【図3】

図 3



【図11】

図 11

(a)

1101		1103		1102		1104		1105		1111		1112		1113	
No	検査点候補		検査点指標		検査点影響(1)		検査点影響(2)		検査点影響(3)						
	信号線	検査点型	(コスト)												
1	202	1 制御点	871		無		有		有						
2	203	観測点	894		無		有		有						
3	204	0 制御点	1011		無		有		有						
4	212	0 制御点	1345		無		無		有						
5	213	観測点	1346		無		無		有						

(b)

1121		1123		1122		1124		1125		1131		1132	
No	検査点候補		検査点指標		検査点影響(1)		検査点影響(2)						
	信号線	検査点型	コスト										
1	203	観測点	324		無		有						
2	213	観測点	341		無		無						
3	204	0 制御点	354		無		無						
4	214	1 制御点	364		無		無						
5	201	観測点	373		無		有						

【図12】

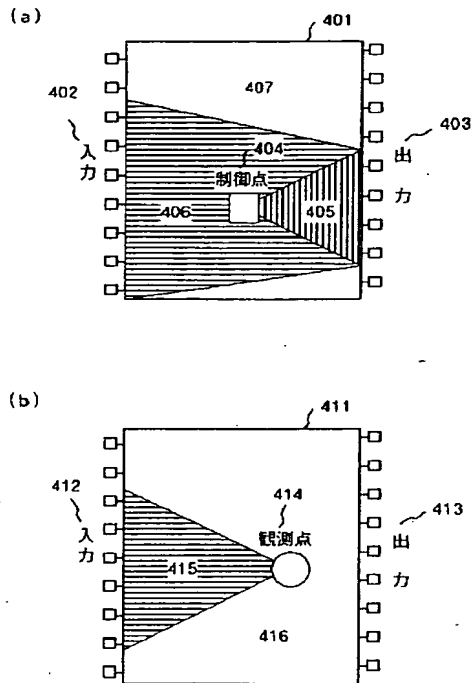
図 12

1201	1202	1203	1204
信号線	検査点 影響(1)	検査点 影響(2)	検査点 影響(3)
201	無	有	有
202	無	有	有
203	無	有	有
204	無	有	有
205	無	有	有
206	無	有	有
212	無	無	有
213	無	無	有
214	無	無	有
215	無	無	有
216	無	無	有

1211	1212	1213
信号線	検査点 影響(1)	検査点 影響(2)
201	無	有
202	無	有
203	無	有
204	無	無
205	無	無
206	無	無
212	無	無
213	無	無
214	無	無
215	無	無
216	無	無

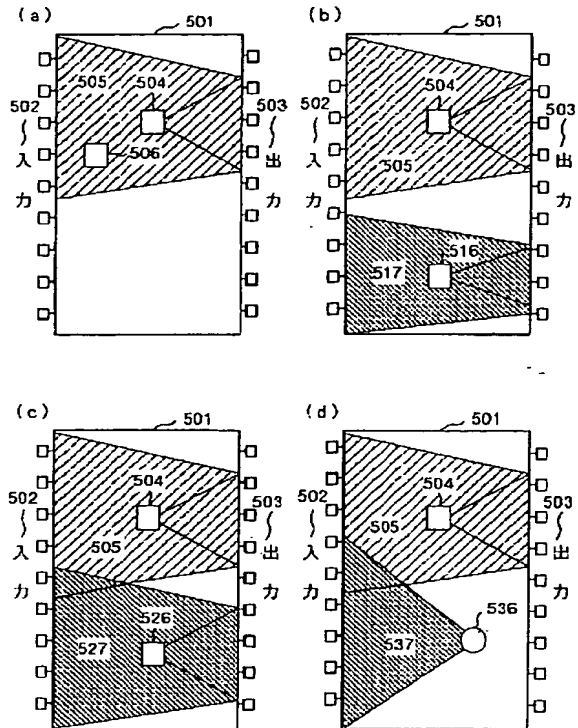
【図4】

図 4



【図5】

図 5



【図13】

図 13

(a)

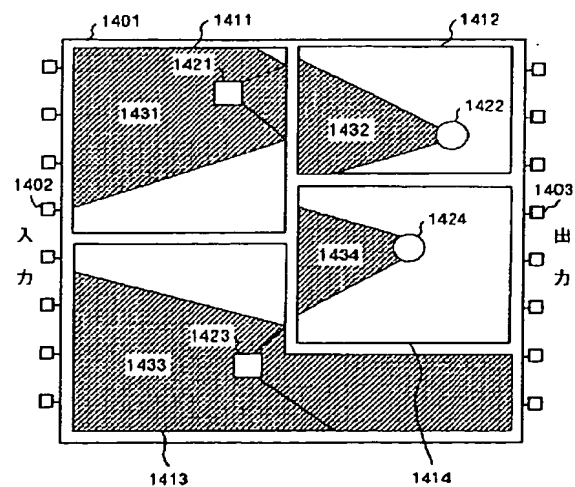
検査点 番号	信号線	検査点 番号	検査点 番号	検査点 番号
1	202	1 制御点	1	1
2	212	0 制御点	1	1

(b)

検査点 番号	信号線	検査点 番号	検査点 番号	検査点 番号
1	202	1 制御点	1	1
2	212	0 制御点	1	1
3	203	観測点	2	2
4	213	観測点	2	2

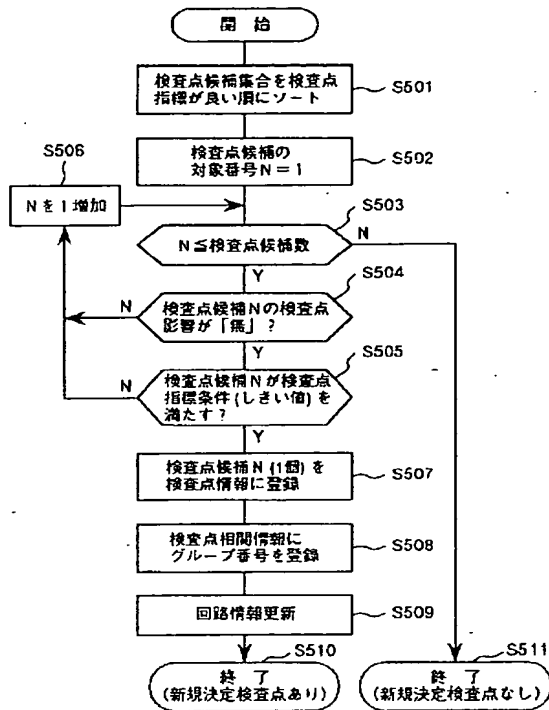
【図14】

図 14



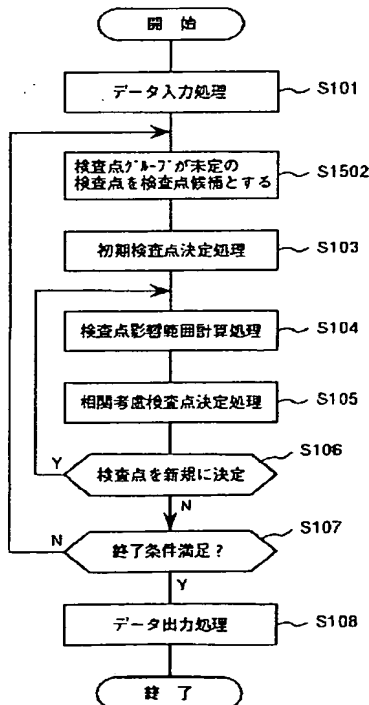
【図9】

図 9



【図15】

図 15



【図10】

図 10

(a)

信号線	C	O	P(0)	P(1)	dU/dO	dU/dC	CRF ₀	CRF _C
201	0.1250	0.3535	0.0442	0.3093	-73	-177	17	-34
202	0.0313	0.5156	0.0161	0.4995	-138	-36785	34	952
203	0.0078	0.1250	0.0010	0.1240	-8274	-131055	905	-1056
204	0.8750	0.9922	0.8682	0.1240	-9	8400	0	798
205	0.8760	1.0000	0.8760	0.1240	-1053	64	0	-12
206	0.0156	1.0000	0.0156	0.9844	-132	-4095	0	-68
212	0.9375	0.5158	0.4834	0.0322	-98	9191	24	441
213	0.9844	0.1250	0.1230	0.0020	-4173	32742	456	-544
214	0.1250	0.9844	0.1230	0.8613	-3	-4300	0	400
215	0.1230	1.0000	0.1230	0.8770	-540	-65	0	-12
216	0.9688	1.0000	0.9688	0.0313	-80	1023	0	-36

7ビット 1810

(b)

信号線	C	O	P(0)	P(1)	dU/dO	dU/dC	CRF ₀	CRF _C
201	0.1250	0.1851	0.0231	0.1619	-267	-339	40	-66
202	0.5156	0.5156	0.2659	0.2498	-65	-121	16	4
203	0.1289	0.1250	0.0161	0.1089	-578	-460	63	-97
204	0.8750	0.8711	0.7622	0.1089	-12	722	1	49
205	0.8911	1.0000	0.8911	0.1089	-93	82	0	-13
206	0.2578	1.0000	0.2578	0.7422	-37	-13	0	-8
212	0.4688	0.5156	0.2417	0.2739	-131	109	33	2
213	0.8672	0.1250	0.1084	0.0166	-572	420	63	-96
214	0.1250	0.8672	0.1084	0.7588	-12	-717	1	49
215	0.1084	1.0000	0.1084	0.8916	-92	-84	0	-13
216	0.7344	1.0000	0.7344	0.2656	-69	12	0	-8

7ビット 414

(c)

信号線	C	O	P(0)	P(1)
201	0.1250	0.2222	0.0278	0.1944
202	0.5156	0.6250	0.3229	0.3027
203	0.1289	1.0000	0.1289	0.8711
204	0.8750	0.8711	0.7622	0.1089
205	0.8911	1.0000	0.8911	0.1089
206	0.2578	1.0000	0.2578	0.7422
212	0.4688	0.6250	0.2930	0.3320
213	0.8672	1.0000	0.8672	0.1328
214	0.1250	0.8672	0.1084	0.7588
215	0.1084	1.0000	0.1084	0.8916
216	0.7344	1.0000	0.7344	0.2656

7ビット 252

【図16】

図 16

